

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP7183311
Publication date: 1995-07-21
Inventor(s): ONODERA SHIGEKI
Applicant(s): MITSUMI ELECTRIC CO LTD
Requested Patent: ☐ JP7183311
Application Number: JP19930346490 19931222
Priority Number(s):
IPC Classification: H01L21/331; H01L29/73; H01L21/761
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide the manufacture of a semiconductor device for a bipolar IC with a vertical P-N-P transistor, in which an n<+> type buried layer, a p<+> type buried layer and an n<+> type diffusion layer can be formed by two photo-masks.

CONSTITUTION: In a semiconductor device 1a, in which an n<+> type buried layer is formed onto the surface of a p<-> type silicon substrate, a p<+> type buried layer is formed onto the n<+> buried layer, an n<+> type layer extended from the n<+> type buried layer to an upper section is formed and an n<-> type layer is shaped extending over the whole surface from the upper section of the n<+> type layer, a positive resist 26 is exposed by a first photo-mask for forming the n<+> type buried layer 3 in the n<+> type layer 9. A negative resist 27 is exposed by a second photo-mask 25 for forming the p<+> type buried layer, photo-resist films 26, 27, in which only regions corresponding to the n<+> type layer are opened, are shaped through two-time photolithography, and an n<+> diffusion is conducted, thus forming the semiconductor device.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183311

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.⁶

H 0 1 L 21/331

29/73

21/761

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/72

21/76

J

審査請求 未請求 請求項の数 1 F D (全 4 頁)

(21) 出願番号

特願平5-346490

(22) 出願日

平成5年(1993)12月22日

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 小野寺 繁樹

神奈川県厚木市酒井1601 ミツミ電機株式

会社厚木事業所内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】本発明は、二枚のフォトマスクによって、 n^+ 型埋込層、 p^+ 型埋込層及び n^+ 型拡散層が形成され得るようにした、パーチカルPNPトランジスタを有するバイポーラICのための半導体装置の製造方法を提供することを目的とする。

【構成】 p^- 型シリコン基板の表面に対して、 n^+ 型埋込層を形成し、該 n^+ 埋込層の上に p^+ 型埋込層を形成し、該 n^+ 型埋込層から上方に延びる n^+ 型層を形成した後、その上から表面全体に亘って n^- 型層を形成した、半導体装置1aにおいて、上記 n^+ 型層9が、上記 n^+ 型埋込層3を形成するための第一のフォトマスク23により、ポジレジスト26を露光させ、続いて上記 p^+ 型埋込層を形成するための第二のフォトマスク25により、ネガレジスト27を露光させて、二回のフォトリソグラフィにより、該 n^+ 型層に対応する領域のみが開口したフォトレジスト膜26、27を形成し、 n^+ 拡散を行なうことにより、形成されるように、構成する。



(2)

【特許請求の範囲】

【請求項1】 p^- 型シリコン基板の表面に対して、拡散またはイオン注入により、 n^+ 型埋込層を形成し、該 n^+ 埋込層の上に p^+ 型埋込層を形成すると共に、該 p^+ 型埋込層の周囲に p^+ 型分離層を形成し、該 n^+ 型埋込層から上方に延びる n^+ 型層を形成した後、その上から表面全体に亘って n^- 型層を形成して分離することにより、構成されている、半導体装置において、上記 n^+ 型層が、上記 n^+ 型埋込層を形成するための第一のフォトリソグラフィにより、ポジレジストまたはネガレジストを露光させ、続いて上記 p^+ 型埋込層及び p^+ 型分離層を形成するための第二のフォトリソグラフィにより、ネガレジスト及びポジレジストを露光させて、二回のフォトリソグラフィにより、該 n^+ 型層に対応する領域のみが開孔したフォトリソレジスト膜を形成し、 n^+ 拡散を行なうことにより、形成されることを特徴とする、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、バーチカルPNPトランジスタを有するバイポーラICの製造に利用される、異なる種類の n^+ 型埋込層を有する、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来、バーチカルトランジスタを含むバイポーラICは、例えば、図2に示すように構成されている。即ち、図2において、バイポーラIC1は、バーチカルPNPトランジスタの領域においては、 p^- 型シリコン基板2の表面に対して、熱拡散等によって n^+ 型埋込層3を形成し、該 n^+ 型埋込層3の上にバーチカルPNPトランジスタのコレクタとなる p^+ 型埋込層4を形成すると共に、該 n^+ 型埋込層3の周囲に、 p^+ 型分離層4aを形成した後、熱拡散等により該 n^+ 型埋込層3上に、後述するディープ n^+ 型埋込層19につながる補足の n^+ 埋込層9を形成する。その後、基板2の表面全体に亘ってエピタキシャル成長等により n^- 型層5を形成する。その後、上記 p^+ 型分離層4aの上部に p^+ 型層5aを形成することにより、上記 n^- 型層5を分離すると共に、該 n^- 型層5の表面にて、上記 p^+ 型埋込層4の周囲に対応する領域にて、熱拡散により p^+ 型コレクタ層6を形成した後、該 p^+ 型コレクタ層6の内側にて、熱拡散等により、該 p^+ 型エミッタ拡散層7と n^+ 型ベース拡散層8を形成することにより、バーチカルPNPトランジスタが構成されている。

【0003】このように構成されたバイポーラIC1は、さらに、その表面に電極を形成した後、必要な配線をした上で、上から保護層を被せることにより、完成するようになっている。かくして、バイポーラIC1においては、 p^+ 型エミッタ拡散層7がエミッタとして、また n^+ 型ベース拡散層8がベースとして、さらに p^+ 型埋

込層4及び p^+ 型コレクタ層6がコレクタとして作用することにより、バーチカルPNPトランジスタが動作するようになっている。

【0004】ここで、上述した n^+ 型埋込層3は、図示のように、 n^- 型層5の表面から熱拡散等によって形成された、所謂ディープ n^+ 型拡散層19が接触し得るように、 p^+ 型埋込層4に隣接した領域（ p^+ 埋込層に隣接している所とは限らない）にて、上方に向かってやや盛り上がるように、補足の n^+ 埋込層9が形成されている。

【0005】従って、上記バイポーラIC1の製造工程においては、途中で、図3に示すようなバイポーラICの基礎となるべき半導体装置1aが構成されることになる。

【0006】この半導体装置1aは、従来は、図4に関連して、以下のように製造される。即ち、図4において、先づ p^- 型シリコン基板2の表面を酸化させて、 SiO_2 酸化膜10を形成し、その表面に、ポジレジスト11を塗布する。さらに、その上に、 n^+ 型埋込層3の形状に対応した光遮断部12aを有する第一のフォトリソマスク12を載置して、露光・現像する（図4（A）参照）。続いて、 SiO_2 をエッチングし、該ポジレジスト11を剥離し、例えばSbまたはAsの熱拡散またはイオン注入により、 n^+ 型埋込層3を形成し、表面を酸化させる（図4（B）参照）。

【0007】次に、再びポジレジスト13を塗布し、その上に p^+ 型埋込層4及び p^+ 型分離層4aの形状に対応した光遮断部14aを有する第二のフォトリソマスク14を載置して、露光・現像する（図4（C）参照）。続いて、 SiO_2 をエッチングし、該ポジレジスト13を剥離し、熱拡散またはイオン注入によって、 p^+ 型埋込層4及び p^+ 型分離層4aを形成する（図4（D）参照）。

【0008】さらに、ポジレジスト15を塗布し、その上に n^+ 型拡散層9の形状に対応した光遮断部16aを有する第三のフォトリソマスク16を載置して、露光・現像する（図4（E）参照）。続いて、 SiO_2 をエッチングし、該ポジレジスト15を剥離し、熱拡散またはイオン注入によって、 n^+ 型拡散層9を形成する（図4（F）参照）。

【0009】最後に、酸化膜10を剥離した後、基板2の表面全体に亘ってエピタキシャル成長等により、 n^- 型層5を形成する。かくして、半導体装置1aが完成することになる。

【0010】

【発明が解決しようとする課題】しかしながら、このような構成のバイポーラIC1においては、その前提となる半導体装置1aを製造する際に、 n^+ 型埋込層3、 p^+ 型埋込層4及び n^+ 型拡散層9を形成する際に、それぞれの形状に対応した光遮断部を有する三枚のフォトマス

3

ク 12, 14, 16 が必要である。ここで、各フォトマスク 12, 14, 16 は、その光遮断部の形状を高精度に加工することが必要であり、作業性がわるく、部品点数が多くなると共に、比較的高価であるという問題があった。

【0011】本発明は、以上の点に鑑み、二枚のフォトマスクによって、 n^+ 型埋込層、 p^+ 型埋込層及び n^+ 型拡散層が形成され得るようにした、バーチカル PNP トランジスタを有するバイポーラ IC のための半導体装置の製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的は、 p^- 型シリコン基板の表面に対して、拡散またはイオン注入により、 n^+ 型埋込層を形成し、該 n^+ 埋込層の上に p^+ 型埋込層を形成すると共に、該 p^+ 型埋込層の周囲に p^+ 型分離層を形成し、該 n^+ 型埋込層から上方に延びる n^+ 型層を形成した後、その上から表面全体に亘って n^- 型層を形成して分離することにより、構成されている、半導体装置において、上記 n^+ 型層が、上記 n^+ 型埋込層を形成するための第一のフォトマスクにより、ポジレジストまたはネガレジストを露光させ、続いて上記 p^+ 型埋込層及び p^+ 型分離層を形成するための第二のフォトマスクにより、ネガレジスト及びポジレジストを露光させて、二回のフォトリソグラフィにより、該 n^+ 型層に対応する領域のみが開孔したフォトレジスト膜を形成し、 n^+ 拡散を行なうことにより、形成されることを特徴とする、半導体装置の製造方法により、達成される。

【0013】

【作用】上記構成によれば、 n^+ 型拡散層は、例えば第一のフォトマスクを介してポジレジストを露光させ、且つ第二のフォトマスクを介してネガレジストを露光させることにより、 n^+ 型埋込層の領域から p^+ 型埋込層の領域を除いた領域に関して、 n^+ 型拡散層を形成するようにしたから、 n^+ 型拡散層の形状に対応した光遮断部を有する第三のフォトマスクを用意する必要がなく、従って、二枚のフォトマスク即ち第一及び第二のフォトマスクのみによって、 n^+ 型拡散層も形成され得ることになる。かくして、フォトマスクが二枚で済むことから、作業性が良く、部品点数が減ると共に、低コストで製造され得ることとなる。

【0014】

【実施例】以下、図面に示した実施例に基づいて、本発明を詳細に説明する。図 1 は、本発明によるバイポーラ IC の基礎となる半導体装置 (図 3 参照) の製造方法の一実施例における製造工程を順次に示している。

【0015】図 1 において、先づ p^- 型シリコン基板 2 の表面を酸化させて、 SiO_2 酸化膜 21 を形成し、その表面に、ポジレジスト 22 を塗布する。さらに、その上に、 n^+ 型埋込層 3 の形状に対応した光遮断部 23 a を有する第一のフォトマスク 23 を載置して、露光・現

(3)

4

像する (図 1 (A) 参照)。続いて、 SiO_2 をエッチングし、該ポジレジスト 22 を剥離し、例えば Sb または As の熱拡散またはイオン注入により、 n^+ 型埋込層 3 を形成し、表面を酸化させる (図 1 (B) 参照)。

【0016】次に、再びポジレジスト 24 を塗布し、その上に p^+ 型埋込層 4 及び p^+ 型分離層 4 a の形状に対応した光遮断部 25 a を有する第二のフォトマスク 25 を載置して、露光・現像する (図 1 (C) 参照)。続いて、 SiO_2 をエッチングし、該ポジレジスト 24 を剥離し、例えば B の熱拡散またはイオン注入によって、 p^+ 型埋込層 4 及び p^+ 型分離層 4 a を形成し、表面を酸化させる (図 1 (D) 参照)。

【0017】さらに、ポジレジスト 26 を塗布し、その上に上記第一のフォトマスク 23 を載置して、露光し (図 1 (E) 参照)、現像する (図 1 (F) 参照)。続いて、ネガレジスト 27 を塗布し、その上に上記第二のフォトマスク 25 を載置して、露光し (図 1 (G) 参照)、現像する (図 1 (H) 参照)。これにより、酸化膜 21 上には、第一のフォトマスク 23 の光遮断部 23 a に対応した部分にて、ポジレジスト 26 に、開口が設けられると共に、第二のフォトマスク 25 の光遮断部 25 a 以外の部分にて、ネガレジスト 27 に、開口が設けられる。かくして、全体として、 n^+ 型埋込層 3 の領域から p^+ 型埋込層 4 の領域を除いた部分に関して、フォトレジストの開口が設けられることになる。

【0018】ここで、エッチングによって、該ポジレジスト 26、ネガレジスト 27 を剥離し、例えば P の熱拡散またはイオン注入によって、 n^+ 型拡散層 9 を形成する (図 1 (I) 参照)。

【0019】最後に、酸化膜 21 を剥離した後、基板 2 の表面全体に亘ってエピタキシャル成長等により、 n^- 型層 5 を形成する。かくして、半導体装置 1 a が完成することになる。

【0020】本発明による半導体装置 1 a の製造方法は、以上のように構成されており、 n^+ 型拡散層 9 を形成する際に、該 n^+ 型拡散層 9 の形状に対応した特別のフォトマスクを必要とせず、 n^+ 型埋込層 3 及び p^+ 型埋込層 4 のための第一及び第二のフォトマスク 23, 25 と、ポジレジスト 26 及びネガレジスト 27 との組合せによって、形成され得る。

【0021】尚、図 1 に示した製造工程において、第二のフォトマスク 25 は、ポジレジスト 24 及びネガレジスト 27 の双方に対して使用されることになるが、フォトマスクのオフセットがあったとしても、二回のフォトリソグラフィの際に、レジスト幅の増減方向が、互いに逆方向となり、相殺されることになるため、差し支えない。

【0022】また、上述したフォトマスク 23, 25 と、レジスト 22, 24, 26, 27 は、上記説明に対して、ポジ、ネガが逆になってもよいことは、明らかで

(4)

5

ある。

【0023】

【発明の効果】以上述べたように、本発明によれば、二枚のフォトリソマスクによって、 n^+ 型埋込層、 p^+ 型埋込層及び n^+ 型拡散層が形成され得るようにした、パーティクルPNPトランジスタを有するバイポーラICのための半導体装置の製造方法が提供され得ることになる。

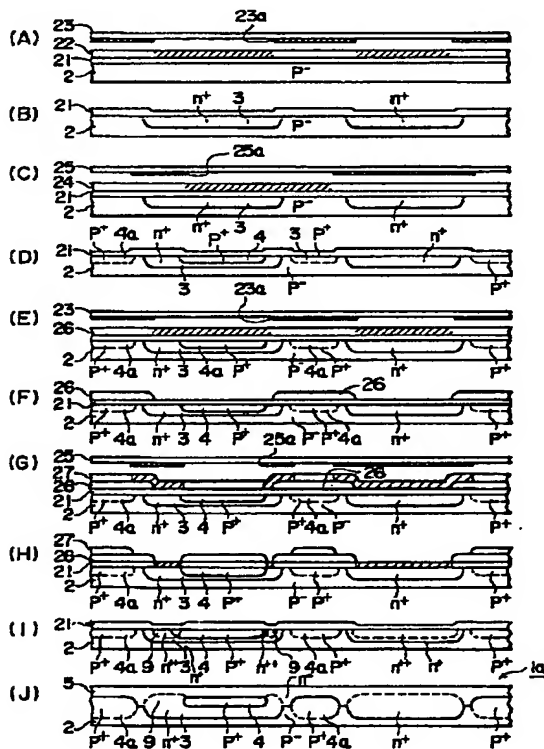
【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の一実施例における製造工程を順次に示す(A)～(J)は概略断面図である。

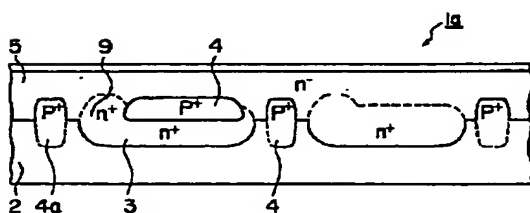
【図2】従来のバイポーラICの一例を示す概略断面図である。

【図3】図2のバイポーラICの基礎となる半導体装置の概略断面図である。

【図1】



【図3】



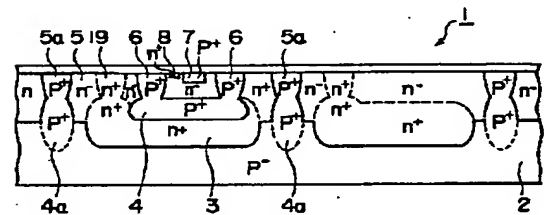
6

【図4】図3の半導体装置の製造方法における製造工程を順次に示す(A)～(G)は概略断面図である。

【符号の説明】

- | | |
|-----|---------------------|
| 1 a | 半導体装置 |
| 2 | p^- 型シリコン基板 |
| 3 | n^+ 型埋込層 |
| 4 | p^+ 型埋込層 |
| 5 | n^- 型層 |
| 9 | n^+ 型拡散層 |
| 10 | 2 1 |
| | 酸化層 |
| | 2 2, 2 4 |
| | ポジレジスト |
| | 2 3 |
| | 第一のフォトリソマスク |
| | 2 5 |
| | 第二のフォトリソマスク |
| | 2 6 |
| | ポジレジスト (フォトリソレジスト膜) |
| | 2 7 |
| | ネガレジスト (フォトリソレジスト膜) |

【図2】



【図4】

